

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関  
国際事務局



(43)国際公開日  
2005年9月15日 (15.09.2005)

PCT

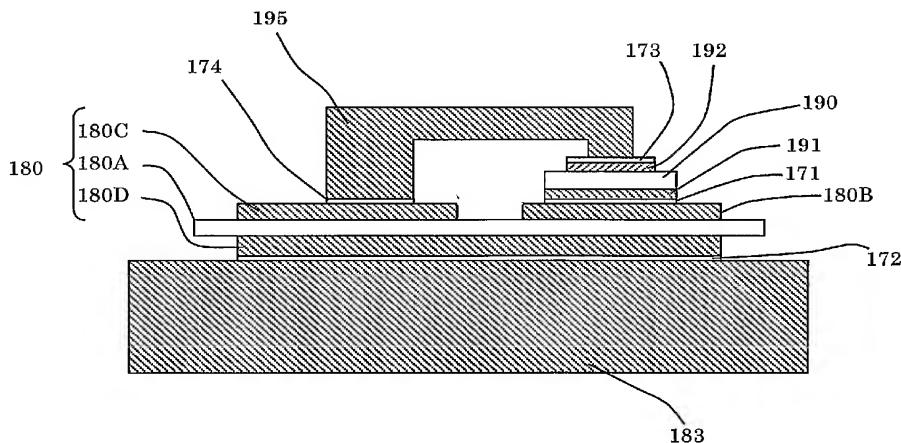
(10)国際公開番号  
WO 2005/086218 A1

- (51)国際特許分類<sup>7</sup>: H01L 21/50, 21/52, 21/60  
(21)国際出願番号: PCT/JP2004/002538  
(22)国際出願日: 2004年3月2日 (02.03.2004)  
(25)国際出願の言語: 日本語  
(26)国際公開の言語: 日本語  
(71)出願人(米国を除く全ての指定国について): 富士電機ホールディングス株式会社 (FUJI ELECTRIC HOLDINGS CO., LTD.) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP). 松村慶一 (MATSUMURA, Keiichi) [JP/JP]; 〒3690122 埼玉県北足立郡吹上町南一丁目5番45号富士エクサス株式会社内 Saitama (JP).
- (72)発明者; および  
(75)発明者/出願人(米国についてのみ): 藤本公三 (Fujimoto, Kozo) [JP/JP]; 〒6570051 兵庫県神戸市灘区八幡町3-3-2 O Hyogo (JP). 渡邊裕彦 (Watanabe, Hirohiko) [JP/JP]; 〒2400194 神奈川県横須賀市長坂二丁目2番1号富士電機アドバンストテクノロジー株式会社内 Kanagawa (JP). 池見和尚 (Ikemi, Kazutaka) [JP/JP]; 〒2100856 神奈川県川崎市川崎区田辺新田1番1号富士電機ホールディングス株式会社内 Kanagawa (JP). 下田将義 (Shimoda, Masayoshi) [JP/JP]; 〒2400194 神奈川県横須賀市長坂二丁目2番1号富士電機アドバンストテクノロジー株式会社内 Kanagawa (JP). 谷口克己 (Taniguchi, Katsumi) [JP/JP]; 〒2400194 神奈川県横須賀市長坂二丁目2番1号富士電機アドバンストテクノロジー株式会社内 Kanagawa (JP). 後藤友彰 (Goto, Tomoaki) [JP/JP]; 〒

[続葉有]

(54) Title: PROCESS FOR PRODUCING SEMICONDUCTOR MODULE

(54)発明の名称: 半導体モジュールの製造方法



(57) Abstract: A process for producing a semiconductor module in which bonding can be carried out at a low temperature in a short time without using a solder bonding medium and a highly reliable joint can be attained. The process for producing a semiconductor module comprises a first bonding step for bonding a first circuit electrode on a circuit board and an element electrode on the rear surface side of a semiconductor element, a second bonding step for bonding an element electrode on the surface side of the semiconductor element and one end of a lead frame, and a third bonding step for bonding the other end of the lead frame and a second circuit electrode formed on the circuit board. A low-melting-point metal layer is formed at one of a pair of conductive parts to be connected and then hot pressed so that solid-liquid diffusion of the low-melting-point metal layer into the pair of conductive parts takes place, thus bonding the conductive parts.

(57)要約: 本発明は、低温かつ短時間の接合を可能とし、また、はんだ接合媒体を用いることなく接合を行うことにより、より信頼性の高い接合部を得ることが可能な、半導体モジュールの製造方法を提供す

[続葉有]

WO 2005/086218 A1



2400194 神奈川県横須賀市長坂二丁目2番1号富士電機アドバンストテクノロジー株式会社内 Kanagawa (JP).

(74) 代理人: 松井 茂 (MATSUI, Shigeru); 〒1040061 東京都中央区銀座八丁目16番5号 銀座轟ビル2階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

る。回路基板上の第1回路電極と、半導体素子の裏面側素子電極とを接合する第1接合工程と、前記半導体素子の表面側素子電極と、リードフレームの一端とを接合する第2接合工程と、前記リードフレームの他端と、回路基板上に形成された第2回路電極とを接合する第3接合工程とを含み、接続されるべき1対の導電部の一方に、低融点金属層を形成した後に加熱加圧し、前記低融点金属層を前記1対の導電部中に固液拡散させることによって、導電部を接合する。

1  
明 紹 書

## 半導体モジュールの製造方法

### 技術分野

本発明は、例えば、リードフレームやアルミワイヤボンディングを用いた、パワー半導体等の半導体モジュールの製造方法に関する。

### 背景技術

パワー半導体は、パソコン用等の半導体に比べて使用する電圧、電流が大きい、大容量の半導体であり、電力分野や鉄道、自動車、家電製品等に広く使用されている。

このパワー半導体を用いたモジュールのうち、各種モータの制御装置や電力変換器等に使用される、容量が0.1 kW～5.5 kWの汎用インバータのパワートランジスタ半導体のモジュールには、配線の電気抵抗値を小さくし且つ優れた熱的特性を得るために銅合金製のリードフレームが従来より使用されている。

図4には、このパワー半導体の一つである、絶縁ゲート型バイポーラトランジスタ（IGBT）と呼ばれる半導体チップを用いた半導体モジュールの従来の構造の一例が示されている。

この半導体モジュールは、基板80上に接合される放熱板83と、放熱板83上に接合される半導体チップ90と、更に、半導体チップ90上にその一端が接合されるリードフレーム95とから主に構成されている。

半導体チップ90の表裏両面には電極が形成されており、裏面にはコレクタ電極91が、表面にはエミッタ電極92が形成されている。そして、裏面のコレクタ電極91には、放熱板83が高温はんだ層71によって接合されており、更に、放熱板83の下面是、配線基板80上に形成された、コレクタ側電極81に低温はんだ層72によって接合されている。

一方、半導体チップ90の表面のエミッタ電極92には、リードフレーム95の一端が、高温はんだ層73によって接合されている。また、リードフレーム95の他端は配線基板80上のリードフレーム用電極82に、低温はんだ層74によって

接合されている。

このパワー半導体モジュールの製造方法は以下の通りである。まず、カーボン治具を用いた非酸化性雰囲気中の、高温はんだ層 7 1、7 3 による接合工程によって、放熱板 8 3 と、半導体チップ 9 0 と、リードフレーム 9 5 の一端とが一体化される。

次いで、クリームはんだによるリフロー工程で、低温はんだ層 7 2、7 4 によって、放熱板 8 3 の下面及びリードフレーム 9 5 の他端が、それぞれ配線基板 8 0 上のコレクタ側電極 8 1 及びリードフレーム用電極 8 2 に接合され、図 4 の構造のパワー半導体モジュールが製造される。

なお、上記の図 4 とは異なる、絶縁ゲート型バイポーラトランジスタ（I G B T）の半導体チップを用いた半導体モジュールの従来の構造例として、図 5 のような構成もある。

図 5 の半導体モジュールは、放熱板 2 8 3 上に接合されるD B C 基板からなる回路基板 2 8 0 と、この回路基板 2 8 0 上に接合される半導体チップからなる半導体素子 2 9 0 と、更に、半導体素子 2 9 0 上にその一端が接合されるボンディングワイヤ 2 9 5 とから主に構成されている。

半導体素子 2 9 0 の表裏両面には電極が形成されており、裏面にはコレクタ電極としての裏面素子電極 2 9 1 が、表面にはエミッタ電極としての表面素子電極 2 9 2 が形成されている。また、放熱板 2 8 3 はC u 等の金属材料からなるものであり、また、D B C 基板からなる回路基板 2 8 0 は、セラミック基板 2 8 0 A の両面にC u 等の導体層よりなる電極 2 8 0 B、2 8 0 C 及び 2 8 0 D が形成された構成となっている。

半導体素子 2 9 0 の裏面素子電極 2 9 1 には、回路基板 2 8 0 上面のコレクタ用導体層としての第 1 回路電極 2 8 0 B が接合部 2 7 1 によって接合されており、更に、回路基板 2 8 0 下面の放熱板用導体層としての第 3 回路電極 2 8 0 D は放熱板 2 8 3 に接合部 2 7 2 によって接合されている。

一方、半導体素子 2 9 0 の表面素子電極 2 9 2 と、回路基板 2 8 0 上面のリードフレーム用導体層としての第 2 回路基板 2 8 0 C とが、ボンディングワイヤ 2 9 5 によって接合されている。

そして、上記の接合部 2 7 1、2 7 2 は、はんだ接合による接合部となっている。

また、上記のようなはんだ層の形成に関する技術として、蒸着法によって合金のはんだバンプを形成することも知られており、例えば、多層膜形成による鉛フリーはんだバンプの形成法として、 $S_{n_{1-x}}M_x$  ( $M : A u, I n$  のうち少なくとも一つ以上を含みかつ  $0 < x < 0.5$ ) なる組成になるように設定した  $S_n$  および  $M$  の膜厚を交互に蒸着して多層膜を形成し、その後マスクを除去して前記多層膜からなる、はんだバンプ前駆体を形成し、つぎにアニールを行ってバンプ前駆体の組成の均一化を行い、更に、前駆体の共晶温度においてリフローさせてはんだバンプを形成することが、特開 2002-43348 号公報に開示されている。

また、蒸着用るつぼ中に、予め所望の組成及び膜厚の合金膜が得られるように調整した組成及び量の母合金を用意し、この母合金を蒸発し切ることによって基板上に目的の合金膜を得ることができ、目的の組成の合金を蒸着するための母合金組成を予め求めおくことによって、任意の組成の合金の蒸着膜を得る合金蒸着方法が、特開平 5-9713 号公報に開示されている。

上記の従来技術である、はんだを用いたパワー半導体モジュールの製造方法においては、例えば図 4 の例で説明したように、高温はんだを用いた接合工程と、それより低融点のクリームはんだを用いてはんだ接合する工程との 2 度の加熱を伴う工程があり、特に高温はんだの接合工程においては 300°C 程度の高温が必要とされるために、接合時の熱によって半導体素子がダメージを受けやすいという問題があり、また、高温はんだ及び低温はんだの 2 種類を用いるために、工程が複雑になるという問題があった。

また、パワー半導体モジュールは、大電流を通電するために発熱が著しく、これにより各構成材料の熱膨張率の相違による熱応力を発生し、例えば図 4 及び図 5 の例で用いられているような従来のはんだ接合においては、この熱応力によって接合界面が破壊されるという問題点があった。

更に、強度や疲労寿命等の接合部の信頼性は、介在する材料の特性に依存し、はんだ材料においては高温特性や熱疲労寿命に問題がある。特に、パワー半導体のように大電流を印加する素子においては、有機物による絶縁性の低下が懸念されるために、接合材の表面酸化物を除去し接合させるためのフラックスを使用することができない。このため、従来のはんだ接合においては、接合過程での汚れや酸化物により、接合部に数 100 μm レベルの欠陥が発生する恐れがあるという問題点があ

った。

また、特開2002-43348号公報の鉛フリーはんだバンプの形成法においては、低温、短時間での接合が不充分であり、例えば、200°C以下の低温で、かつ、短時間での接合が困難であった。

また、特開平5-9713号公報の合金蒸着方法においては、あらかじめ、るつぼ中の母合金の組成と、蒸着膜における合金組成との関係を求め、その補正曲線から母合金組成を決定する必要があるため、蒸着に至るまでの準備工程が煩雑であるという問題があった。

本発明は、以上の問題点を鑑みなされたもので、半導体素子の電極と、回路基板上の電極と、リードフレーム等の接続部材、更には放熱部材を接合する際に、低温かつ短時間の接合を可能とし、また、はんだ接合媒体を用いることなく接合を行うことにより、より信頼性の高い接合部を得ることが可能な、半導体モジュールの製造方法を提供することを目的とする。

## 発明の開示

上記目的を達成するため、本発明の半導体モジュールの製造方法の第1は、回路基板上に形成された第1回路電極と、表裏両面に素子電極が形成された半導体素子の前記裏面側素子電極とを接合する第1接合工程と、前記半導体素子の前記表面側素子電極と、線状あるいは板状の接続部材の一端とを接合する第2接合工程と、前記接続部材の他端と、前記回路基板上に形成された第2回路電極とを接合する第3接合工程とを含む半導体モジュールの製造方法であって、

前記第1接合工程、第2接合工程及び第3接合工程の少なくとも1つの工程において、接続されるべき1対の導電部の少なくとも一方、低融点金属層をあらかじめ形成した後、前記1対の導電部を対向させて、少なくとも低融点金属が溶融する温度で加熱加圧し、前記低融点金属層を前記1対の導電部中に固液拡散させることによって、前記1対の導電部を接合することを特徴とする。

本発明の方法によれば、接続されるべき1対の導電部上に低融点金属層を形成したので、低融点金属として用いる材料にもよるが、例えば、200°C以下の低温、かつ、短時間での接合が可能となり、半導体素子への熱ダメージを防止できる。また、低融点金属層は少なくとも拡散するのに充分な量であればよく、その合計厚さ

を、例えば $10\text{ }\mu\text{m}$ 以下とすることができ、接合厚みを非常に薄くすることができるため、接合部の電気抵抗及び熱抵抗を非常に小さくすることができる。よって、接合部でのジュール発熱を低減できるとともに放熱効果も期待できるので、発熱を抑える必要があるパワー半導体における接合方式として特に効果的である。更に、低融点金属層が、Sn・PbベースやSn・Agベースのはんだと比べて導電部中へ固液拡散しやすいので、はんだに比べて接合界面の反応層を薄くすることができるため、接合部の信頼性が向上する。

本発明の半導体モジュールの製造方法の第2は、基本的には、上述の製造方法の第1の構成を、回路基板・放熱部材間の第4接合工程を更に含む半導体モジュールの製造方法に適用したものであり、回路基板上に形成された第1回路電極と、表裏両面に素子電極が形成された半導体素子の前記裏面側素子電極とを接合する第1接合工程と、前記半導体素子の前記表面側素子電極と、線状あるいは板状の接続部材の一端とを接合する第2接合工程と、前記接続部材の他端と、前記回路基板上に形成された第2回路電極とを接合する第3接合工程と、前記回路基板上に形成された第3回路電極と、金属からなる放熱部材とを接合する第4接合工程とを含む半導体モジュールの製造方法であって、

前記第1接合工程、第2接合工程及び第3接合工程の少なくとも1つの工程と、前記第4接合工程とにおいて、接続されるべき1対の導電部の少なくとも一方に、低融点金属層をあらかじめ形成した後、前記1対の導電部を対向させて、少なくとも低融点金属が溶融する温度で加熱加圧し、前記低融点金属層を前記1対の導電部中に固液拡散させることによって、前記1対の導電部を接合することを特徴とする。

これによても、上述の製造方法の第1の構成と同様の作用効果を奏する。また、この発明は、特に、回路基板上の第3回路電極と放熱部材との接合を固液拡散によって行う構成であるため、更に、次のような作用効果を奏する。

すなわち、回路基板上の第3回路電極と放熱部材との接合部における熱抵抗を小さくすることは、半導体モジュールの放熱特性において特に重要であるが、この接合部に固液拡散接合を適用した上記発明では、はんだ接合により接合していた図5のような従来の構成に比べて、上述のように接合厚みを非常に薄くして熱抵抗を非常に小さくすることができるので、放熱効果をより高いものとすることができます。

また、回路基板上の第3回路電極と放熱部材との接合部のような、Cu材同士の

接合部における熱抵抗を小さくするための接合方法として、例えば、熱圧着などにより Cu材同士を直接接合する方法を適用することも考えられるが、このような直接接合方法は、例えば 800°C 程度の極めて高温で行われるものであるため、上記のような半導体モジュールにおける第3回路電極と放熱部材との接合部に適用した場合、特に、第3回路電極が回路基板の一方面のほぼ全面にわたって形成され、その全面で放熱部材と接合されるような大面積での接合の場合、熱応力が大きいことが問題となる。これに対して、この接合部に固液拡散接合を適用した上記発明では、上記のように、例えば 200°C 以下の低温での接合が可能であるため、大面積での接合の場合でも、熱応力を低減することが可能となる。

本発明においては、前記1対の導電部の少なくとも一方に前記低融点金属層を形成し、前記1対の導電部間に金属箔を介装して、前記1対の導電部を加熱加圧することが好ましい。

これによれば、例えば厚さ 1～500 μm の金属箔を中間接合材として用いることにより、低融点金属は導電部側へ拡散するだけでなく、中間接合材とも拡散し合い、供給された低融点金属の領域において、中間接合材の拡散した層が拡がっていくので、接合時間が限定されていても、低融点金属のままの未反応部分が残存しないようにすることができ、接合面における欠陥の発生が防止され、安定した接合が可能となる。

また、前記1対の導電部の材料が異種材料であって、それぞれの導電部への低融点金属の拡散速度が異なる場合には、両導電部への拡散が不均等となり、限定された接合時間内では、供給された低融点金属の領域のうち、拡散速度の遅い方の導電部側の領域では低融点金属のままの未反応部分が特に残存しやすいが、金属箔を中間接合材として用いることにより、拡散速度の遅い方の導電部側の低融点金属の未反応部分にも、中間接合材の拡散した層が拡がっていくので、低融点金属のままの未反応部分が残存しないようにすることができ、接合面における欠陥の発生が防止され、異種材料の安定した接合が可能となる。

本発明の半導体モジュールの製造方法の第3は、回路基板上に形成された第1回路電極と、表裏両面に素子電極が形成された半導体素子の前記裏面側素子電極とを接合する第1接合工程と、前記半導体素子の前記表面側素子電極と、線状あるいは板状の接続部材の一端とを接合する第2接合工程と、前記接合部材の他端と、前記

回路基板上に形成された第2回路電極とを接合する第3接合工程とを含む半導体モジュールの製造方法であって、

前記第1接合工程、第2接合工程及び第3接合工程の少なくとも1つの工程において、金属箔の片面あるいは両面に低融点金属層をあらかじめ形成した後、接続されるべき1対の導電部を対向させて、この1対の導電部間に前記金属箔を介装し、前記1対の導電部を少なくとも低融点金属が溶融する温度で加熱加圧し、前記低融点金属層を前記1対の導電部中に固液拡散させることによって、前記1対の導電部を接合することを特徴とする。

これによても、上述の構成と同様に、供給された低融点金属の領域において中間接合材の拡散した層が拡がっていくので、接合時間が限定されても、低融点金属の未反応部分が残存しないようにすることができ、また、前記1対の導電部の材料が異種材料であって、それぞれの導電部への低融点金属の拡散速度が異なる場合でも、拡散速度の遅い方の導電部側の低融点金属の未反応部分にも中間接合材の拡散した層が拡がっていくので、低融点金属のままの未反応部分が残存しないようにすることができ、接合面における欠陥の発生が防止され、異種材料の安定した接合が可能となる。

本発明においては、前記低融点金属層が、SnIn、In、Bi、SnBiより選択される一種を少なくとも含有することが好ましい。これによれば、上記の金属は、いずれも融点が180°C以下の低融点であって、導電部中へ固液拡散しやすいので、本発明に特に好適に使用可能である。

本発明の半導体モジュールの製造方法の第4は、基本的には、上述の製造方法の第3の構成を、回路基板・放熱部材間の第4接合工程を更に含む半導体モジュールの製造方法に適用したものであり、回路基板上に形成された第1回路電極と、表裏両面に素子電極が形成された半導体素子の前記裏面側素子電極とを接合する第1接合工程と、前記半導体素子の前記表面側素子電極と、線状あるいは板状の接続部材の一端とを接合する第2接合工程と、前記接続部材の他端と、前記回路基板上に形成された第2回路電極とを接合する第3接合工程と、前記回路基板上に形成された第3回路電極と、金属からなる放熱部材とを接合する第4接合工程とを含む半導体モジュールの製造方法であって、

前記第1接合工程、第2接合工程及び第3接合工程の少なくとも1つの工程と、

前記第4接合工程とにおいて、金属箔の片面あるいは両面に低融点金属層をあらかじめ形成した後、接続されるべき1対の導電部を対向させて、この1対の導電部間に前記金属箔を介装し、前記1対の導電部を少なくとも低融点金属が溶融する温度で加熱加圧し、前記低融点金属層を前記1対の導電部中に固液拡散させることによって、前記1対の導電部を接合することを特徴とする。

これによっても、上述の製造方法の第3の構成と同様の作用効果を奏する。また、この発明は、特に、回路基板上の第3回路電極と放熱部材との接合を固液拡散によって行う構成であるため、放熱及び熱応力の低減において上記のような優れた作用効果を奏する。

また、本発明においては、前記接合時の加熱温度が、前記低融点金属の融点より0～100°C高い温度であることが好ましい。上記の低融点金属は、いずれも融点が180°C以下の材料であるから、加熱温度もより低温とすることができますので、半導体素子への熱によるダメージを防止することができる。

更に、本発明においては、前記1対の電極間にあらかじめ形成される前記低融点金属層の合計厚さが0.1～1μmであることが好ましい。これによれば、低融点金属層は、接合時の拡散反応に必要なだけの供給量となるように合計厚さ0.1～1μmの薄膜としたので、反応層を極めて薄くすることができ、はんだを介した接合材とは異なり、電気抵抗、熱抵抗及び機械的強度などにおいて、電極、接続部材及び放熱部材など、接合の対象となる導電部を形成する母材金属の材料に近い物性が得られる。

また、上記のように低融点金属層の合計厚さを0.1～1μmとしたことにより、低融点金属は電極を構成する母材金属に完全に拡散し、低融点金属単体層が消滅するので、接合に寄与しない単体状態の低融点金属が接合部端から排出されることが無いため、未反応の低融点金属を排出させるための加圧が必要なくなり、加圧時の圧力レベルを低減することができ、半導体素子へのダメージを低減することが可能となる。

また、本発明においては、前記1対の導電部の材質が、Cu、Ni、Au、Alより選択される一種又はそれらの合金であることが好ましい。これによれば、Cu、Ni、Au、Alより選択される一種又はそれらの合金は、低融点金属が固液拡散しやすいので、本発明に特に好適に用いられる。

更に、本発明においては、前記加熱加圧は、前記低融点金属層が、前記1対の導電部中に完全に固液拡散するまで行なうことが好ましい。これによれば、低融点金属層が完全に固液拡散して、全体として1つの合金層となり、はんだのように、合金層が接合部に中間層として存在しない。したがって、接合部の信頼性は、介在する接合材料の特性に依存せず、主に電極、接続部材及び放熱部材など、接合の対象となる導電部を形成する母材金属の材料によるので、更に接続部の信頼性を向上することができる。

また、本発明においては、前記加熱加圧は、前記低融点金属層が、前記1対の導電部間に中間合金層を形成するまで行なうことが好ましい。これによれば、低融点金属層が、完全には拡散せず、中間合金層を形成する段階まで加熱すれば足りるので、接合に要する時間を大幅に短縮することができる。

更に、本発明においては、前記接続部材がリードフレームであることが好ましい。これによれば、リードフレームは、配線の電気抵抗値を小さくするのに加えて、放熱板の補助機能も有するので、発熱量の大きいパワー半導体モジュールの接続線材として特に好適に用いることができる。

また、本発明においては、前記1対の導電部表面の表面粗さRaが0.4～1.0μmの粗面であってもよい。すなわち、例えば、電解メッキ等によって形成される導電部のように、表面に析出による凹凸がある場合においても、低融点金属が溶融して凹凸面を充填するので、小さい加圧でも良好な接合状態を得ることができる。

更に、本発明においては、前記低融点金属層は、合金を形成できる少なくとも2種類以上の金属を2層以上に積層し、該積層した金属層を予備加熱して反応させて合金層とすることにより形成することが好ましい。これによれば、合金層における合金組成や供給量のバラツキがなくなるので、低温での安定した拡散接合が可能となり、信頼性の高い接合部を得ることができる。

また、本発明においては、前記低融点金属層は、合金を蒸発源として蒸着することにより形成し、前記蒸着時に、前記合金の各金属成分の反応過程における蒸気圧比を制御することによって、目標とする合金組成となるように成膜することが好ましい。これによれば、蒸着時に合金組成の制御が可能となるので、低融点金属層の合金組成を、最も低温での接合が可能となる共晶組成と/orすることができ、低温での安定した拡散接合が可能となる。また、蒸着法によって拡散し易い膜厚を容易に形

成することができる。

更に、本発明においては、前記低融点金属層は、合金を蒸発源として蒸着することにより形成し、前記蒸着時に、前記合金の各金属成分の反応過程における蒸気圧比及び活量係数比の積を制御することによって、目標とする合金組成となるように成膜することが好ましい。これによても、蒸着時に合金組成の制御が可能となるので、低融点金属層の合金組成を、最も低温での接合が可能となる共晶組成とすることができ、低温での安定した拡散接合が可能となる。また、蒸着法によって拡散し易い膜厚を容易に形成することができる。

#### 図面の簡単な説明

図1は、本発明の製造方法の一実施形態を示す工程図であって、(a) 電極同士を対向させた状態、(b) 第1接合工程を行なっている状態、(c) リードフレームを配置した状態、(d) 第2接合工程を行なっている状態、(e) リードフレームの他端を傾倒している状態、(f) 第3接合工程を行なっている状態を示す図である。

図2は、本発明の製造方法における、第1接合工程の他の実施形態であって、金属箔を介装した状態を示す図である。

図3は、本発明の製造方法の対象となる半導体モジュールの、図1とは異なる構成を示す概略構成図である。

図4は、従来技術における半導体モジュールの一例を示す概略構成図である。

図5は、従来技術における半導体モジュールの他の例を示す概略構成図である。

#### 発明を実施するための最良の形態

本発明の半導体モジュールの製造方法の一実施形態について、図面を用いて説明する。図1は本発明の製造方法を示す概略工程図である。

以下、図1に沿って、本発明の製造方法について説明する。まず、裏面素子電極11、表面素子電極12がそれぞれ形成された半導体素子10の、裏面素子電極11上に、厚さ10μm以下で低融点金属層20を形成し、図1(a)に示すように、第1回路電極31と対向するように配置する。なお、第1回路電極31及び第2回路電極32は、同一の回路基板30上に形成されている。

半導体素子 10 としては、例えば、上記の IGBT 等のパワー半導体が好適に用いられるが、これらに限定されるものではない。

裏面素子電極 11、表面素子電極 12 としては特に限定されないが、Cu、Ni、Au、Al より選択される一種又はそれらの合金であることが好ましい。

また、裏面素子電極 11、表面素子電極 12 としては、例えば、半導体素子 10 上に、Al/Ni/Au、Al/Ti/Ni/Au、Ti/Ni/Au 等の積層構成としたものを形成することもでき、その場合、最表層の金属材料は、Cu、Ni、Au より選択される一種又はそれらの合金であることが好ましい。

上記の素子電極の形成方法としては、従来公知の蒸着やエッチング等によるパターン形成が可能である。

基板上に形成される第 1 回路電極 31 としては、Cu、Ni 等の従来公知の電極材料が使用できる。なかでも、Cu、Ni、Au、Al より選択される一種又はそれらの合金であることも好ましい。また、第 1 回路電極 31 は、従来公知のメッキ、蒸着等によって形成可能であり、エッチング等によるパターン形成を行なうこと也可以。

なお、本発明における回路電極とは、半導体素子の裏面素子電極と接合される回路基板側の電極を意味し、回路基板上の電極に直接半導体素子が接合される場合にはその電極が回路電極となり、例えば、回路基板上の電極に放熱板等を介して半導体素子が接合される場合には、放熱板の表面層が、本発明における回路電極となる。前記表面層としては、例えば、Ni メッキ層や、Ni メッキ層/Au メッキ層が挙げられる。

また、裏面素子電極 11、表面素子電極 12、第 1 回路電極 31 の表面粗さは平滑であるほうが接合状態が良好となるので好ましいが、本発明においては、表面粗さ Ra が 0.4 ~ 1.0 μm の粗面であってもよい。

次に、低融点金属層 20 について説明すると、低融点金属層 20 に用いられる金属としては、裏面素子電極 11 及び第 1 回路電極 31 と固液拡散によって合金を形成するような金属であればよく、更に、融点が 220°C 以下、より好ましくは 180°C 以下の金属であることが好ましい。これにより、従来用いられている、錫鉛共晶はんだ（融点 183°C）や、代表的な鉛フリーはんだである SnAg 系（融点 210 ~ 223°C）に比べて、低温での接合が可能となるので、半導体素子への熱

的ダメージを抑えることができる。

このような低融点金属としては、例えば、SnIn、In、Bi、SnBiより選択される一種を少なくとも含有する金属が挙げられる。これらの金属材料は、単独又は複数組み合わせて用いてもよく、また、合金の場合の組成比についても適宜設定可能である。

また、上記の金属材料をベース金属として、更に微量の添加元素が含有されてもよい。このような添加元素としては、例えば、Cu、Ni、Ge、Sb、Ag、P等が挙げられる。

また、低融点金属層20の合計厚さは10μm以下であり、好ましくは0.1～10μm、より好ましくは0.1～1μmである。

合計厚さが1μmを越えると、数分の接合時間では拡散しきれず、低融点金属単体の状態で電極などの導電部間に残存しやすくなり、接合部の信頼性が低下するので好ましくない。

また、低融点金属層の合計厚さが0.1μm以下では、母材金属である電極などの導電部の表面粗さの影響により、接合が不充分となるので好ましくない。すなわち、低融点金属層の膜厚下限値は電極などの導電部の表面粗さに依存し、低融点金属層が電極などの導電部の表面粗さに対し充分に厚ければ、軟質な低融点金属層の膜面同士が加圧により隙間無く密着し、ボイドの無い拡散層を形成することが可能であるが、電極などの導電部の表面粗さは一般に0.1μm以下と考えられるので、低融点金属層の合計厚さの下限値は0.1μmとなる。

このように、本発明においては接合材となる低融点金属の供給量が非常に少量でよく、低融点金属層30の厚さを、例えば1μm以下とすることができます、接合厚みを極めて薄くすることができるため、接合時の接続抵抗を非常に小さくすることができます。よって、発熱を抑える必要があるパワー半導体における接合方式として特に有効である。

低融点金属層20の形成方法としては、従来公知の薄膜形成法が利用でき特に限定されず、蒸着、スパッタリング、メッキ、エッチング等を適宜用いることができる。また、メタルマスクを用いた蒸着や、フォトレジストを用いたエッチング等により、必要に応じてパターン形成して設けることができる。

なお、この実施形態においては、低融点金属層20は裏面素子電極11上にのみ

形成されているが、本発明においては、低融点金属層20は、第1回路電極31上のみに形成されていてもよい。また、裏面素子電極11及び第1回路電極31上の両方に形成されていてもよく、この場合には、低融点金属層の厚さが合計で $10\mu m$ 以下であれば、それぞれの厚さが異なっていてもよい。

上記の低融点金属層の形成方法のうち、前記のSnInやSnBi等の2元以上の合金を形成できる、少なくとも2種類以上の金属を2層以上に積層し、この積層した金属層を予備加熱して反応させて合金層とすることにより形成する方法が好ましく用いられる。

例えば、SnInの場合、Snの融点は $232^{\circ}C$ 、Inの融点は $157^{\circ}C$ であるが、それより低い $121^{\circ}C$ で、SnはInに26.4%固溶することが知られている。したがって、あらかじめSn層とIn層とを積層しておき、これを予備加熱によって反応させて、低融点金属層としてSnIn合金層を形成した後に、この合金層を、回路電極及び素子電極中へ固液拡散させることによって、回路電極と素子電極とを接合できる。

これにより、合金層における合金組成や供給量のバラツキがないので、低温での接合を確実に行なうことができ、信頼性の高い接合部を得ることができる。なお、上記のSnIn合金の場合には、最表面がIn層となるように積層することが好ましい。これにより、Sn層が酸化されるのを防止することができる。

それぞれの単一金属層の膜厚は、目標とする合金組成に合わせて適宜選択されるが、短時間の予備加熱で合金層が形成される点から薄いほうが好ましく、具体的には、それぞれ $0.1 \sim 1\mu m$ の範囲であることが好ましい。また、それぞれの単一金属層は1層づつ設けられていてもよく、複数の層が交互に設けられていてもよい。

その他の低融点金属層の形成方法としては、低融点金属がSnInやSnBi等の2元以上の合金である場合には、合金を蒸発源として蒸着することにより形成し、前記蒸着時に、前記合金の各金属成分の蒸気圧比を制御することによって、目標とする合金組成となるように成膜する方法も好ましく用いられる。

上記のように、接合時の温度は、低融点金属層の融点に依存する。例えばSnIn合金においては、共晶温度は $117^{\circ}C$ であり、そのときの共晶組成は、In : Sn = 52 : 48である。したがって、この共晶組成以外では低融点金属層の融点が上昇してしまうので、低温接合を安定的に可能にするには、低融点金属層の合金組

成を  $In : Sn = 52 : 48$  に維持することが必要である。

しかし、通常、母合金を单一の蒸発源とする蒸着法によって合金薄膜層を形成する場合、それぞれの金属成分によって蒸気圧が異なるため、あらかじめ  $In : Sn = 52 : 48$  の母合金を蒸発源としても、 $In$  と  $Sn$  の蒸気圧が同じでないために、形成される蒸着膜の組成は目標からずれてしまう。したがって、蒸着時に、合金の各金属成分の蒸気圧比を制御することによって、目標とする合金組成を維持しながら成膜できる。

特に、あらかじめ蒸発源の合金組成と、蒸着後の合金層の合金組成とが等しくなるような各金属成分の蒸気圧比を求めておき、この蒸気圧比を蒸着中に制御すれば、低融点金属層として、蒸発源の母合金と同じ組成の蒸着膜を得ることができ、上記の目標からのずれを解消できる。このような制御条件である各金属成分の蒸気圧比は、例えば、以下の計算にしたがって求めることができる。

まず、合金蒸気の主成分は、合金に含まれている金属の原子であるから、各成分の分圧を、以下の（1）式のような、希薄溶液の溶媒の蒸気圧に関する Raoult の法則を拡張適用することにより見積もることができる。

$$a_i = \chi_i \quad (1)$$

ここで、 $a_i$ 、 $\chi_i$  はそれぞれ  $i$  成分の活量及びモル分率である。 $i$  成分の合金状態における蒸気圧を  $p_i$  とし、 $i$  成分の純粋状態における蒸気圧を  $p_{i(0)}$  とすれば、定義により、 $a_i = p_i / p_{i(0)}$  である。

上記の（1）式がそのまま成立する場合は稀であるので、実測の  $a_i$  が Raoult の法則からどの程度ずれているかを表すために、以下の（2）式で定義される活量係数  $\gamma_i$  を用いる。

$$a_i = \gamma_i \chi_i \quad (2)$$

合金の  $i$  成分に対する部分モル自由エネルギー変化  $\Delta G_i$  は、以下の（3）式で与えられるので、（2）式を用いて、（4）式のように変形できる。

$$\Delta G_i = R T \ln a_i \quad (3)$$

$$\Delta G_i = R T \ln \gamma_i + R T \ln \chi_i \quad (4)$$

ここで、Rは気体定数、Tは絶対温度である。また、組成Xにおける自由エネルギー $\Delta G_i$ は、以下の(5)式で表すことができる。

$$\Delta G_i = X(1-X)(A_{ij} + (1-2X)B_{ij} + C_{ij}X(1-X)) \quad (5)$$

ここで、例えば、SnInの共晶合金の場合、上記のように、Inの組成はX=52、Snの組成はX=48である。

ここで、InとCuとの反応性を考慮して(5)式の各係数に $A_{ij}=-129$   
 $B_{ij}=-14383$ 、 $C_{ij}=23982$ 、 $X=0.52$ を代入すると、

$$\Delta G_i = -1604.62 \text{ J/mol} \quad (6)$$

が得られる。同様に、SnとCuとの反応性を考慮して、(5)式の各係数に $A_{ij}=-35479$ 、 $B_{ij}=-19182$ 、 $C_{ij}=59493$ 、 $X=0.48$ を代入すると、

$$\Delta G_i = -5340.65 \text{ J/mol} \quad (7)$$

が得られる。(3)式と(6)式より、In-Cu反応における活量 $a_A$ を求め、(3)式と(7)式より、Sn-Cu反応における活量 $a_B$ を求めると、以下の(8)  
(9)式となる。ただし、 $R=8.314 [\text{J} \cdot \text{mol}^{-1} \cdot \text{K}^{-1}]$ 、 $T=700\text{K}$ (427°C)である。

$$a_A = \exp(\Delta G_i / RT) = 0.835 \quad (8)$$

$$a_B = \exp(\Delta G_i / RT) = 0.632 \quad (9)$$

次に、真空蒸着における各成分の線束を考えると、2元合金が蒸発しているとき、

ある瞬間における表面組成を  $\chi_A$ 、 $\chi_B$  とすれば、蒸発線束比  $J_A/J_B$  は、以下の（10）、（11）式で表される。

$$\begin{aligned} J_A/J_B &= (a_A p_A/a_B p_B) (M_B/M_A)^{1/2} \\ &= (\gamma_A \chi_A p_A/\gamma_B \chi_B p_B) (M_B/M_A)^{1/2} = Z (\chi_A/\chi_B) \quad (10) \end{aligned}$$

$$Z = (\gamma_A p_A/\gamma_B p_B) (M_B/M_A)^{1/2} \quad (11)$$

この（10）、（11）式の  $Z$  の値が 1 となるときが、蒸発成分比が元の合金の組成（In の組成： $\chi_A = 52$ 、Sn の組成： $\chi_B = 48$ ）に等しくなる条件である。よって、（10）式において、In の分子量  $M_A = 114.818$ 、Sn の分子量  $M_B = 118.710$ 、 $a_A = 0.835$ 、 $a_B = 0.632$ 、 $Z = 1$  を代入して、

$$(p_A/p_B) = Z (\chi_A/\chi_B) (a_B/a_A) (M_A/M_B)^{1/2} = 0.81 \quad (12)$$

が得られる。したがって、この（12）式を満たす蒸気圧となるような条件下で蒸着することで、In : Sn = 52 : 48 となるような、Cu 上への Sn In 共晶合金の成膜が可能となる。

なお、上記の蒸気圧比 ( $p_A/p_B$ ) は、実際の蒸着時に、蒸発源の温度、蒸着中の真空度を制御することによって制御可能である。このうち、蒸発源である母合金の温度は、電子ビーム蒸着装置の場合、加熱用電子ビームのエネルギーの調整により制御することができる。電子ビームエネルギーの調整により溶融状態の母合金の温度が変化すると、各金属成分の蒸発源からの蒸発速度および活量がそれぞれ変化するが、温度変化に対応する蒸発速度および活量の相対変化率が各金属成分毎に異なることにより、蒸気圧比が変化する。

次に、蒸着中の真空度は、蒸着槽内を真空ポンプで真空引きしながら、調整する。真空度の調整により、各金属成分の蒸気圧の和が変化すると、各金属成分のモル分率が変化し、活量が変化するが、真空度の変化に対応する活量の相対変化率が各金属成分毎に異なることにより、蒸気圧比が変化する。

蒸発源の温度および蒸着中の真空度のいずれか一方を制御してもよく、両方の制御を組み合わせてもよい。

また、In-Cu反応およびSn-Cu反応における活量 $a_A$ 、 $a_B$ を求める際に(5)式に代入した係数 $A_{ij}$ 、 $B_{ij}$ 、 $C_{ij}$ の値は、所定の基準温度条件について得られている物性値であるので、蒸着対象であるCu電極の温度が前記基準温度になるように、蒸着対象に対するヒータ加熱温度を調整する。

なお、本発明においては、上記の蒸着時の各金属成分の反応過程における蒸気圧比の代わりに、各金属成分の反応過程における蒸気圧比及び活量係数比の積を制御してもよい。

この場合、例えば、Sn-In共晶合金における、InおよびSnの各組成を $W_A$ 、 $W_B$ （重量%）で示すと、以下の(13)、(14)式となる。

$$\chi_A = 1 / (1 + (W_B / W_A) (M_A / M_B)) \quad (13)$$

$$\chi_B = 1 / (1 + (W_A / W_B) (M_B / M_A)) \quad (14)$$

したがって、上記の(13)、(14)式を、(10)、(11)式に代入して、蒸発線束重量比 $\Gamma_A / \Gamma_B$ は、以下の(15)式で表される。

$$\begin{aligned} \Gamma_A / \Gamma_B &= (\gamma_A \chi_A p_A / \gamma_B \chi_B p_B) (M_A / M_B)^{1/2} \\ &= (\gamma_A p_A / \gamma_B p_B) (M_B / M_A)^{1/2} (W_A / W_B) \end{aligned} \quad (15)$$

(13)、(14)式において、Inの分子量 $M_A = 114.818$ 、Snの分子量 $M_B = 118.710$ 、Inの重量% $W_A = 0.52$ 、Snの重量% $W_B = 0.48$ を代入すると、 $\chi_A = 0.528$ 、 $\chi_B = 0.472$ を得る。

したがって、(15)式の左辺 $(\Gamma_A / \Gamma_B)$ が $0.52 / 0.48$ となるような $(\gamma_A p_A / \gamma_B p_B)$ の比を計算すると、

$$(\gamma_A p_A / \gamma_B p_B) = (\Gamma_A / \Gamma_B) (M_B / M_A)^{1/2} (\chi_B / \chi_A) = 0.98 \quad (16)$$

が得られる。したがって、この(16)式を満たす活量係数及び蒸気圧となるような条件下で蒸着することで、In : Sn = 52 : 48となるような、Cu上へのSn-In共晶合金の成膜が可能となる。

なお、上記の蒸気圧比及び活量係数比の積( $\gamma_A p_A / \gamma_B p_B$ )は、実際の蒸着時に、蒸発源の温度、蒸着中の真空中度および蒸着対象の温度を制御することによって制御可能である。

このうち、蒸発源である母合金の温度は、電子ビーム蒸着装置の場合、加熱用電子ビームのエネルギーの調整により制御することができる。電子ビームエネルギーの調整により溶融状態の母合金の温度が変化すると、各金属成分の蒸発源からの蒸発速度および活量がそれぞれ変化するが、温度変化に対応する蒸発速度および活量の相対変化率が各金属成分毎に異なることにより、蒸気圧比が変化する。

次に、蒸着中の真空中度は、蒸着槽内を真空ポンプで真空引きしながら、調整する。真空中度の調整により、各金属成分の蒸気圧の和が変化すると、各金属成分のモル分率が変化し、活量が変化するが、真空中度の変化に対応する活量の相対変化率が各金属成分毎に異なることにより、蒸気圧比が変化する。

次に、蒸気対象である Cu 電極の温度は加熱用ヒータへの供給電力により調整することができる。ヒータへの供給電力の調整により蒸着対象の Cu 電極の温度が変化すると、各金属成分 In、Sn と母材金属 Cu との反応における活量が変化するが、温度変化に対応する活量の相対変化率が各金属成分毎に異なることにより、活量係数比が変化する。

蒸発源の温度、蒸着中の真空中度および蒸着対象の温度の各制御項目のいずれか一つの制御項目を制御してもよく、複数の制御項目を組み合わせてもよい。

なお、条件出しの蒸着プロセスにより目標の膜組成比に対応した制御パラメータ値を求めていく場合、第 1 回目のプロセスで設定する暫定的な制御パラメータ値を求めるのには、各金属成分の蒸気圧比を制御する方式がより適合しており、その後の第 2 回目以降のプロセスで設定する制御パラメータの見直し値を求めるのには、各金属成分の蒸気圧比及び活量係数比の積を制御する方式がより適合しているので、条件出しの段階では、両者的方式を組合せるとより効率的である。

また、以上では、低融点金属層として蒸発源の母合金と同じ組成の蒸着膜を得ることができるようにするための方法を述べたが、本発明における低融点金属層の形成方法は、上述のような方法に限定されるものではなく、蒸発源の母合金と異なる組成の蒸着膜を得るようにしてよい。この場合、蒸発源の母合金の組成比と目標の膜組成比との関係に応じて、各金属成分の蒸気圧比の制御目標値あるいは各金属

成分の蒸気圧比及び活量係数比の積の制御目標値が決まる。

次に、低融点金属層 20 と第 1 回路基板電極 31 上とが対向した状態から、図 1 (b) に示すように、半導体素子 10 を回路基板 30 側へ移動させて接触するよう配置する。そして、この状態で、200°C 以下で加熱加圧を行なうと、低融点金属層 20 が溶融し、更に、裏面素子電極 11 及び第 1 回路電極 31 中へ固液拡散して、第 1 接合工程が行なわれる。

なお、上記の電極同士の位置決めや、移動、加熱加圧等の操作は、従来公知の実装装置である、例えば、フリップチップボンダなどを用いて行なうことができる。また、電極同士の位置決めは、カメラ等を用いた座標決定により正確に行なうことができる。

本発明においては、この加熱加圧を200°C 以下で行なうようにすることができる。これにより、従来のはんだ接合における一般的な加熱温度である、200~250°C に比べて低温での接合が可能となるので、半導体素子 10 への熱的ダメージを抑えることができる。この場合、更に、接合時の加熱温度は、低融点金属層 20 の融点より 0~100°C 高い温度であることが好ましい。

また、このとき、低融点金属層 20 が、裏面素子電極 11 及び第 1 回路電極 31 中へ完全に固液拡散するまで、加熱加圧状態が維持されることが好ましい。これによつて、接合後の接合部が全体として单一の合金層として形成される。この合金層は、その中央部分から各電極側に向かって低融点金属の濃度勾配を有するが、全体として单一の合金層となる。したがつて、接合部には、中間合金層が別途形成されていないので、接合部の信頼性は介在する接合材料の特性に依存せず、主に電極の母材金属によることになる。したがつて、はんだ等の場合と比較して、接続部の信頼性を向上させることができる。

このように、電極中へ低融点金属層が完全に固液拡散するのに要する時間は、加熱温度、圧力、電極材料、低融点金属の材料等によって異なるが、通常、10~180 秒である。

また、加圧条件としては、上記の加熱温度、電極材料、低融点金属の材料等によつて異なるが、好ましくは 10~30 MPa である。なお、例えば、電解メッキ等によって形成される電極表面のように、接合すべき 1 対の電極表面の表面粗さ Ra が 0.4~1.0 μm の粗面である場合にも、低融点金属が溶融して凹凸面を充填す

るので、上記の加圧条件でも良好な接合状態を得ることができる。

なお、前記のように、低融点金属層が、2層以上の单一金属層を反応させて得られる合金層からなる場合には、まず、それぞれの单一金属の融点以下の温度で予備加熱を行い、2層以上の单一金属層を固溶させて合金層を形成し、その後、200℃以下で加熱加圧を行なうことが好ましい。

この場合、予備加熱の温度は、合金層を形成する单一金属層の種類や膜厚によって適宜選択できるが、例えば、Sn層とIn層とからなる2層構成の場合には、110～125℃で予備加熱を行なうことが好ましい。

一方、本発明においては、低融点金属層20が、裏面素子電極11及び第1回路電極31との間に中間合金層を形成するまで、加熱加圧状態を維持してもよい。これによれば、低融点金属層が完全には拡散せず、中間合金層を形成する段階まで加熱すれば足りるので、接合に要する時間を大幅に短縮することができる。

この場合、中間合金層を形成するのに要する時間は、加熱温度、圧力、電極材料、低融点金属の材料等によって適宜設定されるが、上記の低融点金属を完全に拡散させる実施形態に比べて短く、通常10～150秒でよい。なお、この接合部における、中間合金層の厚さは1～5μmであることが好ましい。この明確な中間合金層の存在は、断面の観察によつても確認でき、また、電気抵抗、熱抵抗等の測定によつて非破壊で確認することもできる。

なお、中間合金層が形成された後に余剰の低融点金属が残存する場合、この余剰の低融点金属を加圧により接合部の側面外周に押し出すようにすれば、低融点金属の供給量は、中間合金層を形成するための必要量以上に供給されておればよいので、低融点金属の供給量の厳密な管理が不要となる。しかしながら、本発明のような半導体モジュールの場合、電極および配線間の絶縁距離が必要であることにより、余剰の低融点金属を接合部の側面外周に押し出すことは適当ではない場合が多く、このような場合には、中間合金層を形成するための必要量だけ低融点金属が供給されるように、供給量、すなわち、低融点金属層の厚さを管理することが好ましい。

本発明においては、図2に示すように、低融点金属層20が形成された裏面素子電極11と、第1回路電極31とを対向するように配置した状態で、更に、厚さ1～500μmの金属箔35を介装した後、加熱加圧を行なってよい。

このように、金属箔を中間接合材として用いることにより、供給された低融点金

属の領域において中間接合材の拡散した層が拡がっていくので、接合時間が限定されても、低融点金属の未反応部分が残存しないようにすることができる。

また、上記の1対の電極の材料が異種材料であって、それぞれの電極への低融点金属の拡散速度が異なる場合において、拡散速度の遅い方の電極側の低融点金属の未反応部分にも中間接合材の拡散した層が拡がっていくので、低融点金属のままの未反応部分が残存しないようにすることができ、接合界面における欠陥の発生を防止でき、異種材料の安定した接合が可能となる。

介装する金属箔の材料としては、拡散速度の速いほうの電極材料と同じ材料であることが好ましい。例えば、図2において、裏面素子電極11がNiであり、第1回路電極31がCuである場合には、低融点金属の拡散速度はCuのほうが大きいので、中間接合材の金属箔35としてCu箔を用いることにより、低融点金属の未反応部分における中間接合材の拡散した層の拡がりもより速くなるので、限定された接合時間において、より確実に低融点金属のままの未反応部分を残存しないようにすることができる。

なお、中間接合材として介装する金属箔の材料は、拡散速度の速いほうの電極材料と同じ材料に限定されるものではなく、限定された接合時間において、低融点金属の未反応部分における中間接合材の拡散した層の拡がりが充分に速やかであって、確実に低融点金属の未反応部分が残存しないようにすることができればよい。

なお、上記の中間接合材として金属箔を介装する構成において、低融点金属層20をどの部分に形成しておくかについては、図2のような、裏面素子電極11に低融点金属層20を形成しておく構成に限定されるものではなく、裏面素子電極11及び第1回路電極31の両方に低融点金属層20を形成しておく構成でもよく、また、金属箔35の片面あるいは両面に低融点金属層20を形成しておく構成であってもよい。

次に、図1(c)に示すように、接続線材となるL字状のリードフレーム40を、半導体素子10上に形成されている表面素子電極12上に配置する。そして、この実施形態においては、リードフレーム40上の、表面素子電極12と接合される側の面に、あらかじめ低融点金属層21が形成されている。

リードフレーム40の材質としては、例えば、主としてCu等が使用できるが特に限定されない。また、Fe、Ni、Si、Zn、Ag、Sn等の他の金属元素が

微量添加されていてもよい。また、表面に、例えば、Niや、Ni/Auのメッキ層が設けられていてもよい。なお、本発明における接続線材としてはリードフレームのような板状のものには限定されず、ワイヤボンディングにおけるアルミニウムワイヤのような線状のものなどであってもよい。

低融点金属層21の材料や形成方法は、上記の低融点金属層20と同様のものを使用できる。また、低融点金属層21は、リードフレーム40上の全面に形成されてもよく、表面素子電極12と接合される部分にのみ設けられていてもよい。

そして、図1(d)に示すように、加熱加圧装置50によって加熱加圧し、半導体素子10上の表面素子電極12と、リードフレーム40の一端とを接合する。これによって、低融点金属層21が溶融し、更に、表面素子電極12及びリードフレーム40の一端中へ固液拡散して、第2接合工程が行なわれる。この際の加熱加圧の条件等は、接合される電極材料や低融点金属の材料によって適宜選択することができ、上記の第1接合工程と異なる条件であってもよい。

次に、図1(e)に示すように、リードフレーム40の他端を屈曲させて傾倒させる。そして、今度は、図1(f)に示すように、加熱加圧装置51によって、第2回路電極32と、リードフレーム40の他端とを接合する。これによって、低融点金属層21が溶融し、更に、第2回路電極32及びリードフレーム40の他端中へ固液拡散して、第3接合工程が行なわれる。この際の加熱加圧の条件等は、接合される電極材料や低融点金属の材料によって適宜選択することができ、上記の第1接合工程、第2接合工程と異なる条件であってもよい。

以上の第1接合工程、第2接合工程、第3接合工程により、半導体モジュールの製造が完了する。なお、本発明においては、上記の低融点金属層を用いた接合は、この実施形態のようにすべての接合工程で行なわれてもよく、第1～3接合工程のうち少なくとも1つの工程で行なわれていてもよい。

次に、本発明の製造方法は、図3のような構成の半導体モジュールにも適用することができる。図3は、本発明の製造方法の対象となる半導体モジュールの、図1(f)に示される構成とは別の構成例を示すものである。

図3の半導体モジュールは、図5の従来技術に類似した基本構造を示したものであり、放熱板183上に接合されるDBC基板からなる回路基板180と、この回路基板180上に接合される半導体チップからなる半導体素子190と、更に、半

導体素子 190 上にその一端が接合されるリードフレーム 195 とから主に構成された構成となっており、図 5 の構成におけるポンディングワイヤ 295 の代わりにリードフレーム 195 が用いられている。

半導体素子 190 の表裏両面には電極が形成されており、裏面にはコレクタ電極としての裏面素子電極 191 が、表面にはエミッタ電極としての表面素子電極 192 が形成されている。また、放熱板 183 は Cu 等の金属材料からなるものであり、また、DBC 基板からなる回路基板 180 は、セラミック基板 180A の両面に Cu 等の導体層よりなる電極 180B、180C 及び 180D が形成された構成となっており、更に、リードフレーム 195 は Cu 等の金属材料からなるものである。

半導体素子 190 の裏面素子電極 191 には、回路基板 180 上面のコレクタ用導体層としての第 1 回路電極 180B が接合部 171 によって接合されており、更に、回路基板 180 下面の放熱板用導体層としての第 3 回路電極 180D は放熱板 183 に接合部 172 によって接合されている。

一方、半導体素子 190 の表面素子電極 192 には、リードフレーム 195 の一端が接合部 173 によって接合されている。また、リードフレーム 195 の他端は、回路基板 180 上面のリードフレーム用導体層である第 2 回路基板 180C に、接合部 174 によって接合されている。

上記のような図 3 の半導体モジュールにおける各接合部 171～174 のすべてについて、図 1～2 で説明した製造方法と同様な、低融点金属層を介した固液拡散接合を適用することができ、また、その低融点金属層の形成方法も、図 1 で説明したのと同様な方法を適用することができる。

なお、図 3においては、リードフレーム 195 として、あらかじめコの字状に成形したものを用いて、接合部 171～174 の全てを同時に接合することが可能である。また、図 1 と同様に、リードフレーム 195 を途中の工程で折り曲げができるような構造として、接合部 171～174 を順次接合していくことも可能である。また、接合部 171～174 のなかで、例えば、回路基板 180 の上面側の接合部 171、173 及び 174 の少なくとも 1 つの接合部と、回路基板 180 の下面側の接合部 172 に固液拡散接合を適用するような構成も可能である。

また、図 3 では、放熱部材を板状の放熱板 183 として示しているが、本発明の製造方法の対象となる半導体モジュールにおける放熱部材の形状は、上記のような

板状に限定されるものではなく、例えばD B C 基板1 8 0 のような回路基板上に形成された回路電極と接合可能な形状であればよい。

そして、図3の構成の半導体モジュールにおいても、本発明の製造方法を適用することにより、各接合部1 7 1～1 7 4が、従来のはんだ接合を用いない、固液拡散接合による信頼性の高い接合部となり、半導体モジュールの信頼性をより高いものとすることができる。

なお、本発明の製造方法の対象となる半導体モジュールの構成としては、図1(f)及び図3の、2つの構成を例示したが、半導体モジュールにおける、回路基板、リードフレーム等の接続部材、放熱部材の形状、材料、及び、これらと半導体素子との組合せの具体的構成は、半導体モジュールの設計仕様に基づき適宜選定されるものであり、本発明の製造方法が適用可能な半導体モジュールの構成は、図1(f)及び図3の構成に限定されるものではない。

また、本発明における回路電極、素子電極、リードフレーム等の接続材料及び放熱部材など、接合の対象となる導電部を形成する母材金属の材料については上述の通りであるが、その中でも、電極など導電部の母材金属の材料として、Cuが、低融点金属の拡散係数を大きなものとすることができます。特に好適である。

すなわち、本発明の接合での固液拡散などにおける拡散の度合いは一般的に拡散係数で表され、拡散係数の数値が大きいほど、拡散し易くなる。この拡散係数Dは、実験的に、 $D = D_0 \exp(-Q/RT)$  で表される。ここで、 $D_0$ ：振動数項、Q：活性化エネルギー、R：気体定数、T：絶対温度である。

そして、低融点金属の材料として例えばInを選定した場合、その拡散係数は、母材金属の材料がAuのとき $7.18 \times 10^{-6}$  であるのに対して、Cuのときは $1.23 \times 10^{-4}$  という極めて大きな値となる。

また、低融点金属の材料としてSnを選定した場合も、その拡散係数は、母材金属の材料がAuのとき $3.96 \times 10^{-6}$  であるのに対して、Cuのときは $1.05 \times 10^{-5}$  という大きな値となる。

また、母材金属の材料がNiの場合は、これに対して拡散係数の大きな低融点金属はない。

このように、母材金属の材料がCuの場合、低融点金属の拡散係数が特に大きな値となるので、固液拡散における拡散反応速度が速く、低融点金属単体層の残存の

生じない拡散接合を実現するために特に好適である。

以上、本発明によれば、半導体素子の電極と、回路基板上の電極と、リードフレーム等の接続部材、更には放熱部材とを接合する際に、低温かつ短時間の接合を可能とし、また、はんだ接合媒体を用いることなく接合を行うことにより、より信頼性の高い接合部を得ることが可能な、半導体モジュールの製造方法を提供できる。

以下、実施例を用いて、本発明の半導体モジュールの製造方法について更に詳細に説明する。

#### 実施例 1

図 1 に示す工程にしたがって、以下の半導体モジュールを製造した。

まず、半導体素子としては I G B T 素子を用い、この半導体素子上に、表面素子電極及び裏面素子電極として、最表面が A u である T i / N i / A u からなる 3 層の電極を形成した。

一方、A l を基材とした A l ベース絶縁回路基板上には、第 1 回路電極として厚さ 0.32 mm の C u からなる電極を形成した。

また、接続線材として、厚さ 0.25 mm の C u 合金からなるリードフレームを用いた。

次に、S n I n (融点 117 °C) からなる低融点金属層を、裏面素子電極上に 5  $\mu$ m、リードフレームの片面全面に 5  $\mu$ m をスパッタリングにより形成した。

そして、図 1 (a) に示すように、半導体素子の裏面素子電極と、第 1 回路電極との位置を合わせた後、図 1 (b) に示すように S n I n の融点より 20 °C 高い、温度 137 °C、圧力 30 MPa で、180 秒間加熱加圧して第 1 接合工程を行なった。

次に、図 1 (c) に示すように、L 字状のリードフレーム 40 を、半導体素子上に形成されている表面素子電極上に配置して、図 1 (d) に示すように、温度 137 °C、圧力 20 MPa で、120 秒間加熱加圧して第 2 接合工程を行なった。

その後、図 1 (e) に示すように、リードフレームの他端を屈曲させて傾倒させ、回路基板上に形成されている第 2 回路電極と、リードフレームの他端とを、温度 180 °C、圧力 30 MPa で、120 秒間加熱加圧して第 3 接合工程を行ない、半導体モジュールを製造した。

これにより、はんだを用いずに、加熱温度200°C以下において半導体モジュールの製造が可能であった。

### 実施例2

実施例1において、低融点金属層を、单一金属層として、Sn層0.48μm、In層0.52μmの合計1μmとなるようにスパッタリングにより順に積層して形成し、第1～3接合工程のそれぞれにおいて、温度120°Cで10秒間の予備加熱を行い、Sn層とIn層とを固溶させてSnInの合金層を得た後、第1～3接合工程を行った以外は、実施例1と同様の条件で半導体モジュールを製造した。

これによっても、実施例1と同様に、はんだを用いずに、加熱温度200°C以下において半導体モジュールの製造が可能であった。

### 産業上の利用可能性

本発明は、例えば、リードフレームやアルミワイヤボンディングを用いた、パワー半導体等の半導体モジュールに好適に利用できる。

## 請求の範囲

1. 回路基板上に形成された第1回路電極と、表裏両面に素子電極が形成された半導体素子の前記裏面側素子電極とを接合する第1接合工程と、前記半導体素子の前記表面側素子電極と、線状あるいは板状の接続部材の一端とを接合する第2接合工程と、前記接続部材の他端と、前記回路基板上に形成された第2回路電極とを接合する第3接合工程とを含む半導体モジュールの製造方法であって、

前記第1接合工程、第2接合工程及び第3接合工程の少なくとも1つの工程において、接続されるべき1対の導電部の少なくとも一方に、低融点金属層をあらかじめ形成した後、前記1対の導電部を対向させて、少なくとも低融点金属が溶融する温度で加熱加圧し、前記低融点金属層を前記1対の導電部中に固液拡散させることによって、前記1対の導電部を接合することを特徴とする半導体モジュールの製造方法。

2. 回路基板上に形成された第1回路電極と、表裏両面に素子電極が形成された半導体素子の前記裏面側素子電極とを接合する第1接合工程と、前記半導体素子の前記表面側素子電極と、線状あるいは板状の接続部材の一端とを接合する第2接合工程と、前記接続部材の他端と、前記回路基板上に形成された第2回路電極とを接合する第3接合工程と、前記回路基板上に形成された第3回路電極と、金属からなる放熱部材とを接合する第4接合工程とを含む半導体モジュールの製造方法であって、

前記第1接合工程、第2接合工程及び第3接合工程の少なくとも1つの工程と、前記第4接合工程とにおいて、接続されるべき1対の導電部の少なくとも一方に、低融点金属層をあらかじめ形成した後、前記1対の導電部を対向させて、少なくとも低融点金属が溶融する温度で加熱加圧し、前記低融点金属層を前記1対の導電部中に固液拡散させることによって、前記1対の導電部を接合することを特徴とする半導体モジュールの製造方法。

3. 前記1対の導電部の少なくとも一方に前記低融点金属層を形成し、前記1対の導電部間に金属箔を介装して、前記1対の導電部を加熱加圧する請求項1又は2に記載の半導体モジュールの製造方法。

4. 回路基板上に形成された第1回路電極と、表裏両面に素子電極が形成された

半導体素子の前記裏面側素子電極とを接合する第1接合工程と、前記半導体素子の前記表面側素子電極と、線状あるいは板状の接続部材の一端とを接合する第2接合工程と、前記接続部材の他端と、前記回路基板上に形成された第2回路電極とを接合する第3接合工程とを含む半導体モジュールの製造方法であって、

前記第1接合工程、第2接合工程及び第3接合工程の少なくとも1つの工程において、金属箔の片面あるいは両面に低融点金属層をあらかじめ形成した後、接続されるべき1対の導電部を対向させて、この1対の導電部間に前記金属箔を介装し、前記1対の導電部を少なくとも低融点金属が溶融する温度で加熱加圧し、前記低融点金属層を前記1対の導電部中に固液拡散させることによって、前記1対の導電部を接合することを特徴とする半導体モジュールの製造方法。

5. 回路基板上に形成された第1回路電極と、表裏両面に素子電極が形成された半導体素子の前記裏面側素子電極とを接合する第1接合工程と、前記半導体素子の前記表面側素子電極と、線状あるいは板状の接続部材の一端とを接合する第2接合工程と、前記接続部材の他端と、前記回路基板上に形成された第2回路電極とを接合する第3接合工程と、前記回路基板上に形成された第3回路電極と、金属からなる放熱部材とを接合する第4接合工程とを含む半導体モジュールの製造方法であつて、

前記第1接合工程、第2接合工程及び第3接合工程の少なくとも1つの工程と、前記第4接合工程とにおいて、金属箔の片面あるいは両面に低融点金属層をあらかじめ形成した後、接続されるべき1対の導電部を対向させて、この1対の導電部間に前記金属箔を介装し、前記1対の導電部を少なくとも低融点金属が溶融する温度で加熱加圧し、前記低融点金属層を前記1対の導電部中に固液拡散させることによつて、前記1対の導電部を接合することを特徴とする半導体モジュールの製造方法。

6. 前記低融点金属層が、SnIn、In、Bi、SnBiより選択される一種を少なくとも含有する請求項1～5のいずれか1つに記載の半導体モジュールの製造方法。

7. 前記接合時の加熱温度が、前記低融点金属の融点より0～100℃高い温度である請求項6に記載の半導体モジュールの製造方法。

8. 前記1対の導電部間にあらかじめ形成される前記低融点金属層の合計厚さが0.1～1μmである請求項1～7のいずれか1つに記載の半導体モジュールの

製造方法。

9. 前記1対の導電部の材質が、Cu、Ni、Au、Alより選択される一種又はそれらの合金である請求項1～8のいずれか1つに記載の半導体モジュールの製造方法。

10. 前記加熱加圧は、前記低融点金属層が、前記1対の導電部中に完全に固液拡散するまで行なう請求項1～9のいずれか1つに記載の半導体モジュールの製造方法。

11. 前記加熱加圧は、前記低融点金属層が、前記1対の導電部間に中間合金層を形成するまで行なう請求項1～9のいずれか1つに記載の半導体モジュールの製造方法。

12. 前記接続部材がリードフレームである請求項1～11のいずれか1つに記載の半導体モジュールの製造方法。

13. 前記1対の導電部表面の表面粗さRaが0.4～10μmの粗面である請求項1～12のいずれか1つに記載の半導体モジュールの製造方法。

14. 前記低融点金属層は、合金を形成できる少なくとも2種類以上の金属を2層以上に積層し、該積層した金属層を予備加熱して反応させて合金層とすることにより形成する請求項1～13のいずれか1つに記載の半導体モジュールの製造方法。

15. 前記低融点金属層は、合金を蒸発源として蒸着することにより形成し、前記蒸着時に、前記合金の各金属成分の反応過程における蒸気圧比を制御することによって、目標とする合金組成となるように成膜する請求項1～13のいずれか1つに記載の半導体モジュールの製造方法。

16. 前記低融点金属層は、合金を蒸発源として蒸着することにより形成し、前記蒸着時に、前記合金の各金属成分の反応過程における蒸気圧比及び活量係数比の積を制御することによって、目標とする合金組成となるように成膜する請求項1～13のいずれか1つに記載の半導体モジュールの製造方法。

図 1

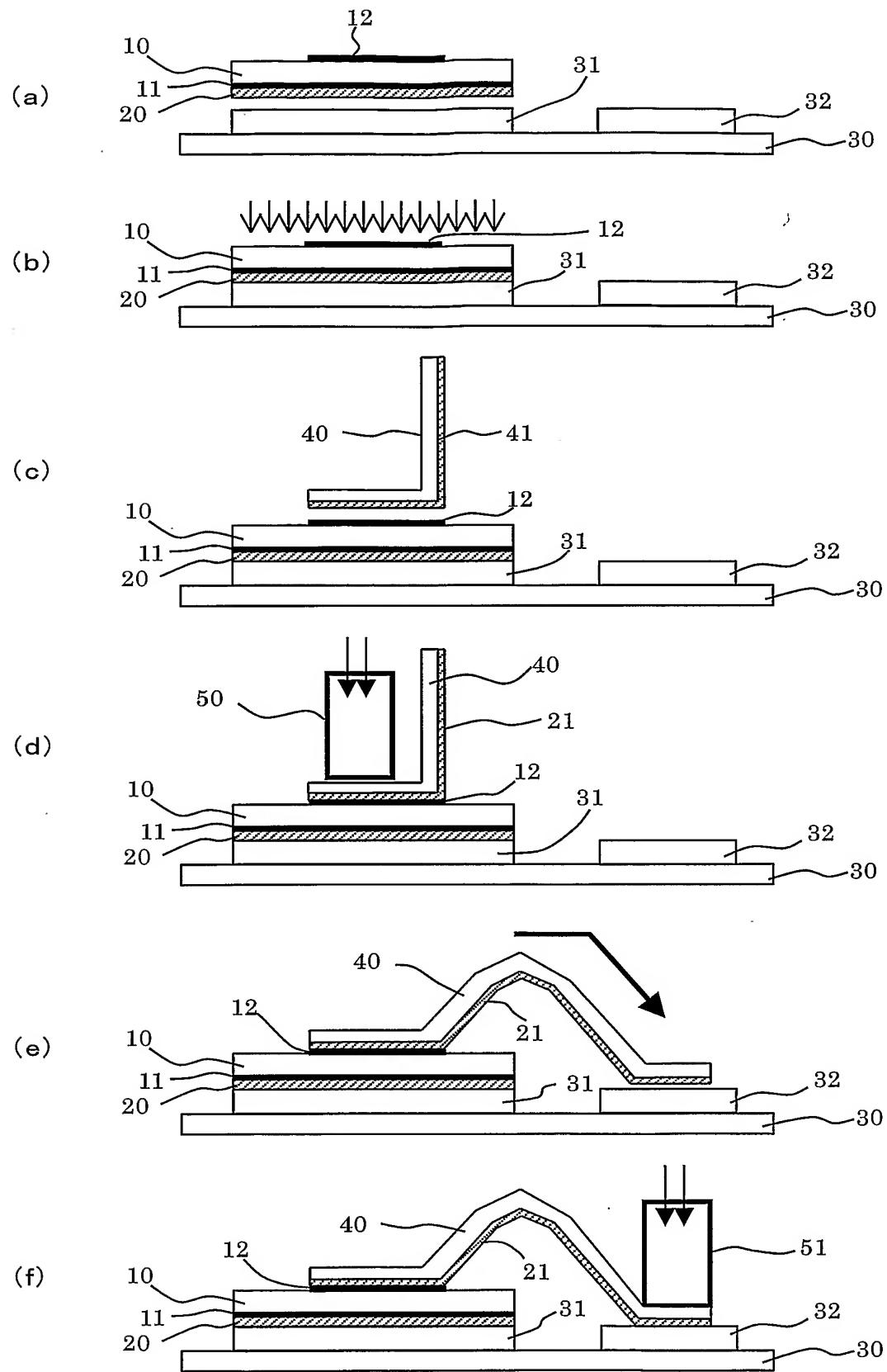


図 2

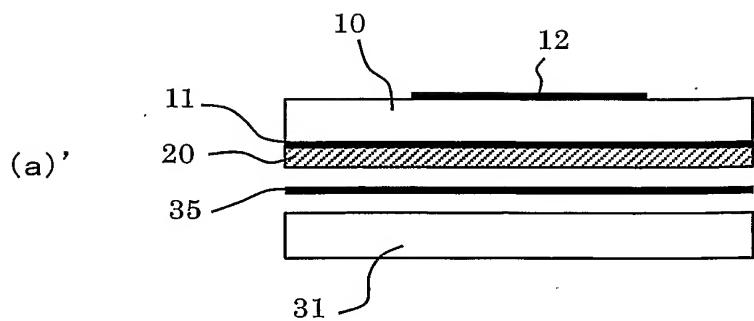


図 3

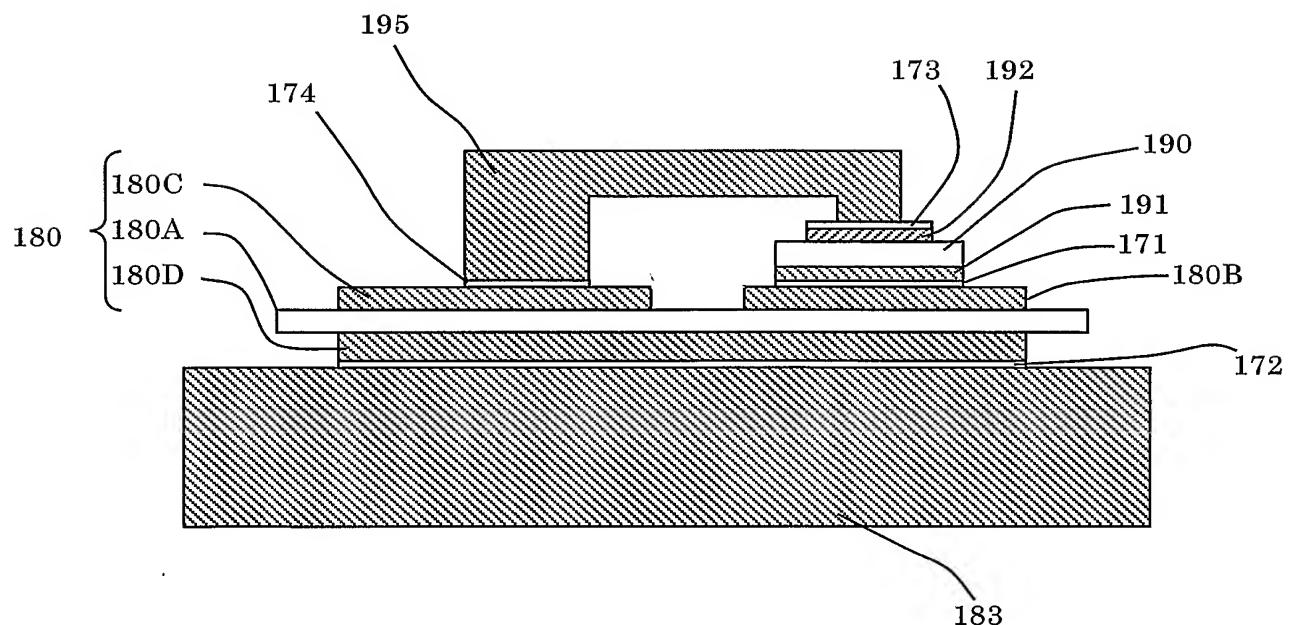


図 4

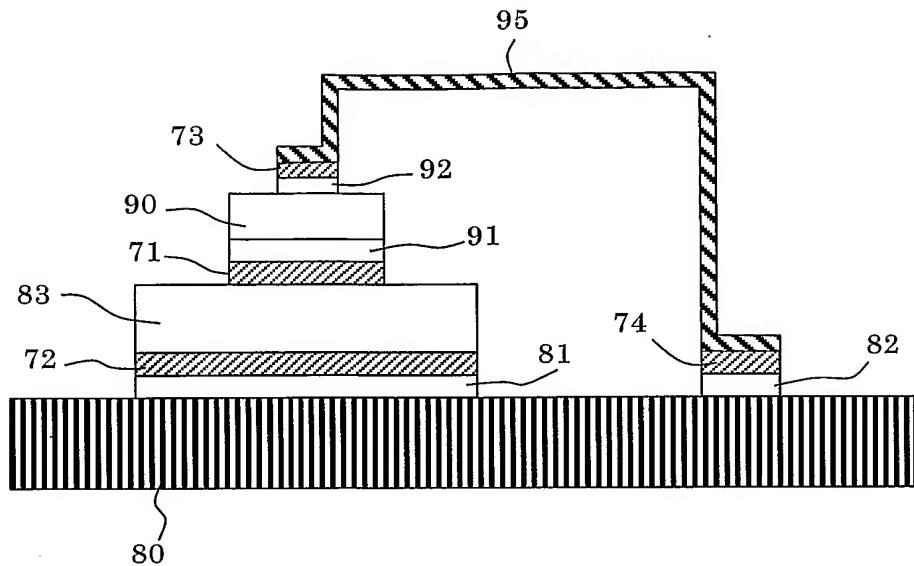
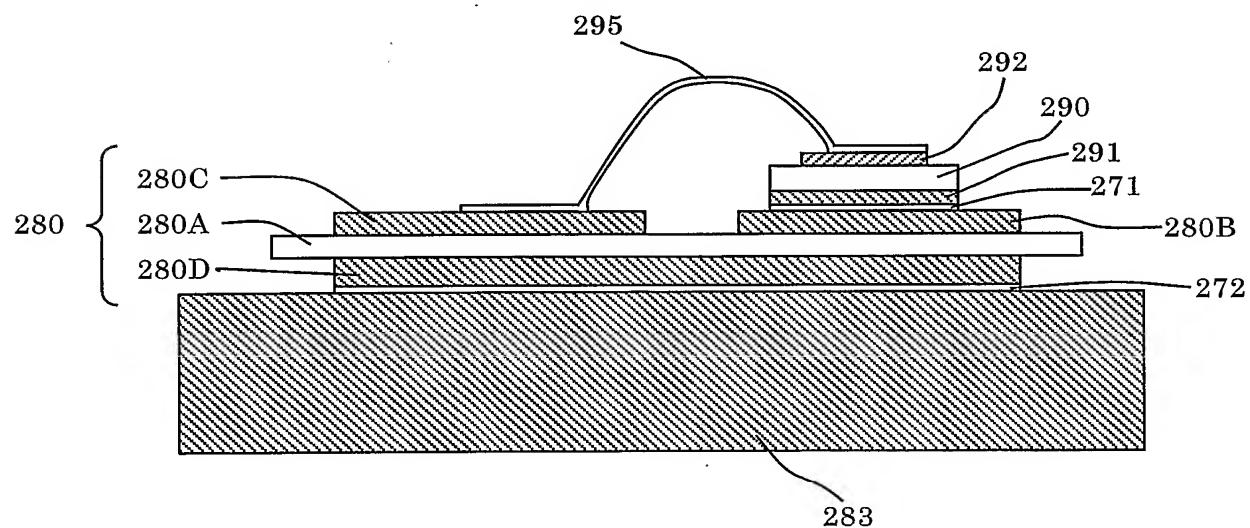


図 5



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/002538

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L21/50, H01L21/52, H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/50, H01L21/52, H01L21/60Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, X	JP 2004-111936 A (Fuji Electric Holdings Co., Ltd.), 08 April, 2004 (08.04.04), Full text; all drawings (Family: none)	1-16
Y	JP 2002-289768 A (Rohm Co., Ltd.), 04 October, 2002 (04.10.02), Full text; all drawings & US 2002/0149117 A1 full text; all drawings & EP 1229583 A1 & WO 02/07219 A1 & KR 2030116 A & TW 518740 B	1-16

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"	document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search  
15 June, 2004 (15.06.04)Date of mailing of the international search report  
06 July, 2004 (06.07.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/002538

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-274201 A (Toshiba Corp.), 05 October, 2001 (05.10.01), Full text; all drawings (Family: none)	1-16
Y	JP 10-256319 A (Toshiba Corp.), 25 August, 1998 (25.08.98), Full text; all drawings (Family: none)	1-16
Y	JP 5-074824 A (Mitsubishi Electric Corp.), 26 March, 1993 (26.03.93), Full text; all drawings & US 5242099 A full text; all drawings	3-16
Y	JP 59-054250 A (International Rectifier Corp., Japan, Ltd.), 29 March, 1984 (29.03.84), Full text; all drawings (Family: none)	12-16
Y	JP 8-003732 A (Seiko Instruments Inc.), 09 January, 1996 (09.01.96), Full text; all drawings (Family: none)	15-16

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl' H01L21/50, H01L21/52, H01L21/60

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl' H01L21/50, H01L21/52, H01L21/60

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
E, X	JP 2004-111936 A (富士電機ホールディングス株式会社) 2004.04.08, 全文, 全図 (ファミリーなし)	1-16
Y	JP 2002-289768 A (ローム株式会社) 2002.10.04, 全文, 全図 & US 2002/0149117 A1, 全文, 全図 & EP 1229583 A1 & WO 02/07219 A1 & KR 2030116 A & TW 518740 B	1-16
Y	JP 2001-274201 A (株式会社東芝) 2001.10.05, 全文, 全図 (ファミリーなし)	1-16

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

15.06.2004

国際調査報告の発送日

06.7.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

市川 篤

4R

9544

電話番号 03-3581-1101 内線 3469

C (続き) . 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 10-256319 A (株式会社東芝) 1998.09.25, 全文, 全図 (ファミリーなし)	1-16
Y	JP 5-074824 A (三菱電機株式会社) 1993.03.26, 全文, 全図 & US 5242099 A, 全文, 全図	3-16
Y	JP 59-054250 A (日本インターナショナル整流器株式会社) 1984.03.29, 全文, 全図 (ファミリーなし)	12-16
Y	JP 8-003732 A (セイコー電子工業株式会社) 1996.01.09, 全文, 全図 (ファミリーなし)	15-16